

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Fumihiko SANO

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:


<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-118742	April 23, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak
Registration No. 24,913



22850



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 4月23日

出 願 番 号

Application Number:

特願2003-118742

[ST.10/C]:

[JP2003-118742]

出 願 人

Applicant(s):

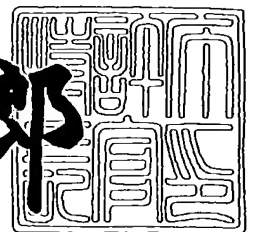
株式会社東芝

東芝マイクロエレクトロニクス株式会社

2003年 5月23日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3038209

【書類名】 特許願

【整理番号】 14104901

【提出日】 平成15年 4月23日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04
H01L 21/822

【発明の名称】 半導体集積回路装置及びその製造方法

【請求項の数】 16

【発明者】

【住所又は居所】 神奈川県川崎市川崎区駅前本町 2 5 番地 1 東芝マイクロエレクトロニクス株式会社内

【氏名】 佐 野 文 彦

【特許出願人】

【識別番号】 000003078

【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号

【氏名又は名称】 株式会社 東 芝

【特許出願人】

【識別番号】 000221199

【住所又は居所】 神奈川県川崎市川崎区駅前本町 2 5 番地 1

【氏名又は名称】 東芝マイクロエレクトロニクス株式会社

【代理人】

【識別番号】 100075812

【弁理士】

【氏名又は名称】 吉 武 賢 次

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【選任した代理人】

【識別番号】 100112793

【弁理士】

【氏名又は名称】 高 橋 佳 大

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置及びその製造方法

【特許請求の範囲】

【請求項 1】

電源電位電極配線と接地電位電極配線との間に、それぞれ少なくとも一層の層間接続配線を介して接続されたMIM構造キャパシタを備えていることを特徴とする半導体集積回路装置。

【請求項 2】

前記MIM構造キャパシタの一方側金属電極は、二層以上の層間接続配線及び少なくとも一層の金属配線層を介して前記電源電位電極配線に接続されていることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】

前記MIM構造キャパシタの他方側金属電極は、二層以上の層間接続配線及び少なくとも一層の金属配線層を介して前記接地電位電極配線に接続されていることを特徴とする請求項 1 又は 2 に記載の半導体集積回路装置。

【請求項 4】

少なくとも一層の層間接続配線を介して電源電位電極配線に接続された一方側金属電極と、

少なくとも一層の層間接続配線を介して接地電位電極配線に接続された他方側金属電極と、

前記一方側金属電極及び前記他方側金属電極間に挟み込まれた絶縁誘電体と、を備えていることを特徴とする半導体集積回路装置。

【請求項 5】

前記一方側金属電極は、二層以上の層間接続配線及び少なくとも一層の金属配線層を介して前記電源電位電極配線に接続されていることを特徴とする請求項 4 に記載の半導体集積回路装置。

【請求項 6】

前記他方側金属電極は、二層以上の層間接続配線及び少なくとも一層の金属配線層を介して前記接地電位電極配線に接続されていることを特徴とする請求項 4

又は 5 に記載の半導体集積回路装置。

【請求項 7】

前記電源電位電極配線及び前記接地電位電極配線は、絶縁膜を介して相互に隣接していることを特徴とする請求項 1 乃至 6 のいずれかに記載の半導体集積回路装置。

【請求項 8】

前記電源電位電極配線は、電源電位が供給され且つ外部からの配線が接続される電源電位電極パッドであり、前記接地電位電極配線は、接地され且つ外部からの配線が接続される接地電位電極パッドであることを特徴とする請求項 1 乃至 7 のいずれかに記載の半導体集積回路装置。

【請求項 9】

前記電源電位電極配線は、半導体集積回路本体の周縁部に環状に形成され且つ電源電位が供給される環状電源電位電極配線であり、前記接地電位電極配線は、半導体集積回路本体の周縁部に環状に形成され且つ接地された環状接地電位電極配線であることを特徴とする請求項 1 乃至 7 のいずれかに記載の半導体集積回路装置。

【請求項 10】

MIM 構造キャパシタを形成し、
前記 MIM 構造キャパシタを層間絶縁膜により被覆し、
前記 MIM 構造キャパシタの一方側金属電極及び他方側金属電極上の前記層間絶縁膜にそれぞれコンタクトホールを開口し、
前記コンタクトホール内に層間接続配線を形成し、
前記層間接続配線を介して前記一方側金属電極及び前記他方側金属電極にそれぞれ接続される電源電位電極配線及び接地電位電極配線を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項 11】

一方側金属電極を形成し、
前記一方側金属電極上の一部に絶縁誘電体を形成し、
前記絶縁誘電体上に他方側金属電極を形成し、

前記一方側金属電極及び前記他方側金属電極並びに前記絶縁誘電体を層間絶縁膜により被覆し、

前記一方側金属電極及び前記他方側金属電極上の前記層間絶縁膜にそれぞれコンタクトホールを開口し、

前記コンタクトホール内に層間接続配線を形成し、

前記層間接続配線を介して前記一方側金属電極及び前記他方側金属電極にそれぞれ接続される電源電位電極配線及び接地電位電極配線を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 2】

前記電源電位電極配線と前記一方側金属電極との間に、前記層間接続配線を含めて、二層以上の層間接続配線及び少なくとも一層の金属配線層を形成することを特徴とする請求項 1 0 又は 1 1 に記載の半導体集積回路装置の製造方法。

【請求項 1 3】

前記接地電位電極配線と前記他方側金属電極との間に、前記層間接続配線を含めて、二層以上の層間接続配線及び少なくとも一層の金属配線層を形成することを特徴とする請求項 1 0 乃至 1 2 のいずれかに記載の半導体集積回路装置の製造方法。

【請求項 1 4】

前記電源電位電極配線及び前記接地電位電極配線は、絶縁膜を介して相互に隣接するように形成されることを特徴とする請求項 1 0 乃至 1 3 のいずれかに記載の半導体集積回路装置の製造方法。

【請求項 1 5】

前記電源電位電極配線は、電源電位が供給され且つ外部からの配線が接続される電源電位電極パッドとして形成され、前記接地電位電極配線は、接地され且つ外部からの配線が接続される接地電位電極パッドとして形成されることを特徴とする請求項 1 0 乃至 1 4 のいずれかに記載の半導体集積回路装置の製造方法。

【請求項 1 6】

前記電源電位電極配線は、半導体集積回路本体の周縁部に環状に形成され且つ電源電位が供給される環状電源電位電極配線として形成され、前記接地電位電極

配線は、半導体集積回路本体の周縁部に環状に形成され且つ接地された環状接地電位電極配線として形成されることを特徴とする請求項 1 0 乃至 1 4 のいずれかに記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体集積回路装置及びその製造方法に係り、特に、電源電位ノードと接地電位ノードとの間に配設されるバイパスコンデンサ (by-pass capacitor) 及びその製造方法に関する。

【0 0 0 2】

【従来の技術】

半導体集積回路においては、外部から電源電位ノード及び接地電位ノードを介して混入してくる電源ノイズを電源電位ノードと接地電位ノードとの間で相殺する等の EMI (Electro Magnetic Interference: 電磁障害) 対策として、両ノード間にバイパスコンデンサが配設される。

【0 0 0 3】

半導体集積回路の電源電位ノード及び接地電位ノード間にバイパスコンデンサを形成する従来の形態としては、以下の 5 種類が挙げられる。

【0 0 0 4】

従来の第 1 の形態は、n チャンネル MOS トランジスタのソース電位及びドレイン電位を接地電位とし且つゲート電位を電源電位にすること、又は、p チャンネル MOS トランジスタのソース電位及びドレイン電位を電源電位とし且つゲート電位を接地電位とすることにより、ゲート絶縁膜を誘電体とするバイパスコンデンサを形成するものである。

【0 0 0 5】

従来の第 2 の形態は、電源電位及び接地電位電極パッドを相互に隣接させて配置し、両電極パッドの一方から引き出された金属配線を層間絶縁膜を介して両電極パッドの他方の下に重ね合わせることで、層間絶縁膜を誘電体とするバイパスコンデンサを形成するものである。

【 0 0 0 6 】

従来の第3の形態は、LSIパッケージ内部において電源電位及び接地電位リードフレームを相互に隣接させて配置し、それらのリードフレーム間のみを強誘電体によってモールドすることにより、そのモールド材を誘電体とするバイパスコンデンサを形成するものである。

【 0 0 0 7 】

従来の第4の形態は、実装基板上においてLSIの電源端子及び接地端子の近傍にバイパスコンデンサを別個の部品として実装し接続するものである。

【 0 0 0 8 】

従来の第5の形態は、DRAM混載LSI等において電極パッド下にダミートレンチが存在する場合に、そのダミートレンチを利用してバイパスコンデンサを形成するものである（例えば、特許文献1参照。）。

【 0 0 0 9 】

尚、種々のキャパシタのなかには、MIM（金属－絶縁体－金属）構造キャパシタがあるが、その小型化及び容量の増大を図るための構造がこれまでに提案されている（例えば、特許文献2参照。）。

【 0 0 1 0 】

【特許文献1】

特開平8-274258号公報

【特許文献2】

特開2001-102529号公報

【 0 0 1 1 】

【発明が解決しようとする課題】

しかし、上記従来の各形態には、それぞれ以下のような問題点がある。

【 0 0 1 2 】

従来の第1の形態においては、内部の回路に使用されているトランジスタの面積率が高いLSIでは、バイパスコンデンサを形成するための面積が制限されるので、大きな容量を得るのが困難であり、また、ゲート絶縁膜を誘電体として用いているので、ゲート絶縁膜破壊の危険に晒され易い。

【 0 0 1 3 】

従来の第2の形態においては、誘電体として使用される層間絶縁膜が厚いので、大きな容量を得ることが困難であり、また、電極パッド下に異なる電位の配線を敷くので、ウェーハ測定の際の針圧により電源・接地間ショートが発生し易い。

【 0 0 1 4 】

従来の第3の形態においては、モールドの一部にのみ異なる材料を使用するので、モールド工程が煩雑化し、工程数も増加する。

【 0 0 1 5 】

従来の第4の形態においては、実装部品が増加するので、実装レベルでの故障率の増加、実装面積及び容積の増加を招く。

【 0 0 1 6 】

従来の第5の形態においては、DRAM混載LSI以外の回路装置の場合、トレンチキャパシタを形成するために必要な工程が増加し、製造時間及びコストの増加を招く。

【 0 0 1 7 】

本発明は上記問題点に鑑みてなされたものであり、その目的は、十分な容量を得ることができ、破壊の危険性が非常に小さく、製造工程及びコストの増加も非常に小さい構造のバイパスコンデンサを備えた半導体集積回路装置及びその製造方法を提供することである。

【 0 0 1 8 】

【課題を解決するための手段】

本発明の実施の一形態に係る半導体集積回路装置の第一の観点によれば、電源電位電極配線と接地電位電極配線との間に、それぞれ少なくとも一層の層間接続配線を介して接続されたMIM構造キャパシタを備えていることを特徴とする。

【 0 0 1 9 】

本発明の実施の一形態に係る半導体集積回路装置の第二の観点によれば、少なくとも一層の層間接続配線を介して電源電位電極配線に接続された一方側金属電極と、

少なくとも一層の層間接続配線を介して接地電位電極配線に接続された他方側金属電極と、

上記一方側金属電極及び上記他方側金属電極間に挟み込まれた絶縁誘電体と、
を備えていることを特徴とする。

【 0 0 2 0 】

本発明の実施の一形態に係る半導体集積回路装置の製造方法の第一の観点によれば、

MIM構造キャパシタを形成し、

上記MIM構造キャパシタを層間絶縁膜により被覆し、

上記MIM構造キャパシタの一方側金属電極及び他方側金属電極上の上記層間絶縁膜にそれぞれコンタクトホールを開口し、

上記コンタクトホール内に層間接続配線を形成し、

上記層間接続配線を介して上記一方側金属電極及び上記他方側金属電極にそれぞれ接続される電源電位電極配線及び接地電位電極配線を形成することを特徴とする。

【 0 0 2 1 】

本発明の実施の一形態に係る半導体集積回路装置の製造方法の第二の観点によれば、

一方側金属電極を形成し、

上記一方側金属電極上の一部に絶縁誘電体を形成し、

上記絶縁誘電体上に他方側金属電極を形成し、

上記一方側金属電極及び上記他方側金属電極並びに上記絶縁誘電体を層間絶縁膜により被覆し、

上記一方側金属電極及び上記他方側金属電極上の上記層間絶縁膜にそれぞれコンタクトホールを開口し、

上記コンタクトホール内に層間接続配線を形成し、

上記層間接続配線を介して上記一方側金属電極及び上記他方側金属電極にそれぞれ接続される電源電位電極配線及び接地電位電極配線を形成することを特徴とする。

【 0 0 2 2 】

【発明の実施の形態】

以下、本発明に係る半導体集積回路装置の実施の形態について、図面を参照しながら説明する。

【 0 0 2 3 】

R F モジュール、A D コンバータ及びD A コンバータ、オペアンプ等のアナログ回路を混載する半導体集積回路では、M I M 構造キャパシタがよく用いられる。

【 0 0 2 4 】

そこで、本発明の各実施の形態に係る半導体集積回路装置においては、電源電位電極パッド及び接地電位電極パッド、又は、電源電位電源リング及び接地電位電源リングを電氣的に接続する経路を構成する配線層間のいずれかの箇所にM I M 構造キャパシタを形成し、電源電位ノード及び接地電位ノード間のバイパスコンデンサとして機能させる。

【 0 0 2 5 】

図 1 は、本発明の第 1 の実施の形態に係る半導体集積回路装置の構成を示す断面図であり、図 2 は、本発明の第 1 の実施の形態に係る半導体集積回路装置の概略構成を示す平面図である。図 1 は、図 2 の平面図における線 X X' に沿った断面図であるが、図 2 は、理解を容易にするため、主要な構成要素のみを示している。

【 0 0 2 6 】

本発明の第 1 の実施の形態に係る半導体集積回路装置は、一方側金属電極 3 b と、一方側金属電極 3 b 上に形成された絶縁誘電体 4 と、絶縁誘電体 4 上に形成された他方側金属電極 3 a と、他方側金属電極 3 a 上に形成された第 1 の層間接続配線 2 a と、第 1 の層間接続配線 2 a 上に形成された第 1 の金属配線層 6 a と、第 1 の金属配線層 6 a 上に形成された第 2 の層間接続配線 5 a と、第 2 の層間接続配線 5 a 上に形成された電源電位電極パッド 1 a と、一方側金属電極 3 b 上に形成された第 3 の層間接続配線 2 b と、第 3 の層間接続配線 2 b 上に形成された第 2 の金属配線層 6 b と、第 2 の金属配線層 6 b 上に形成された第 4 の層間接

続配線 5 b と、第 4 の層間接続配線 5 b 上に形成された接地電位電極パッド 1 b と、を備えている。

【 0 0 2 7 】

尚、金属電極、層間接続配線（ビア配線）、金属配線層及び電極パッドの間の間隙部には、層間絶縁膜 1 0 が形成されている。そして、電極パッド間の間隙部に形成された層間絶縁膜 1 0 上には、電極パッドと層間絶縁膜との境界部を被覆するように保護膜 7 が形成されている。電源電位電極パッド 1 a は、電源電位 V が供給され且つ外部からの配線が接続される電極パッドであり、接地電位電極パッド 1 b は、接地され且つ外部からの配線が接続される電極パッドである。

【 0 0 2 8 】

そして、一方側金属電極 3 b 及び他方側金属電極 3 a と、それらの電極間に挟み込まれた絶縁誘電体 4 とにより M I M 構造キャパシタが構成されている。

【 0 0 2 9 】

本発明の第 1 の実施の形態に係る半導体集積回路装置の構成は、要約すると、少なくとも一層の層間接続配線を介して接地電位電極パッド 1 b に接続された一方側金属電極 3 b と、少なくとも一層の層間接続配線を介して電源電位電極パッド 1 a に接続された他方側金属電極 3 a と、一方側金属電極 3 b 及び他方側金属電極 3 a 間に挟み込まれた絶縁誘電体 4 と、を備えているものである。

【 0 0 3 0 】

次に、本発明の第 1 の実施の形態に係る半導体集積回路装置の製造方法について説明する。尚、以下の説明では、本発明の第 1 の実施の形態に係る半導体集積回路装置のうち図 1 に表示されている部分のみについて、その製造方法を説明する。

【 0 0 3 1 】

層間絶縁膜 1 0 は、図示されている部分全体が一度に形成されるわけではなく、他の積層構造物に対応して段階的に積層され形成される。

【 0 0 3 2 】

先ず最初に、層間絶縁膜 1 0 上に金属膜を堆積及びパターンニングすることにより一方側金属電極 3 b を形成する。

【 0 0 3 3 】

一方側金属電極 3 b を形成後、一方側金属電極 3 b 上に絶縁誘電材料を堆積及びパターニングすることにより、一方側金属電極 3 b 上の一部に絶縁誘電体 4 を形成する。

【 0 0 3 4 】

絶縁誘電体 4 を形成後、層間絶縁膜 1 0 を堆積し、絶縁誘電体 4 の上面が露出するように層間絶縁膜 1 0 の上面を平坦化することにより、絶縁誘電体 4 の上面と同じ高さまで層間絶縁膜 1 0 を形成する。

【 0 0 3 5 】

層間絶縁膜 1 0 を堆積し平坦化した後、絶縁誘電体 4 及び層間絶縁膜 1 0 上に金属膜を堆積及びパターニングすることにより、少なくとも絶縁誘電体 4 の上面を被覆するように他方側金属電極 3 a を形成する。

【 0 0 3 6 】

他方側金属電極 3 a を形成後、所定の厚さまで層間絶縁膜 1 0 を堆積し、層間絶縁膜 1 0 の上面を平坦化する。

【 0 0 3 7 】

層間絶縁膜 1 0 を堆積し平坦化した後、一方側金属電極 3 b 及び他方側金属電極 3 a 上の層間絶縁膜 1 0 にコンタクトホールを開口し、コンタクトホールが埋め込まれるように層間接続配線材料を堆積して、層間絶縁膜 1 0 上の不要な層間接続配線材料を除去することにより、他方側金属電極 3 a 上に第 1 の層間接続配線 2 a を、一方側金属電極 3 b 上に第 3 の層間接続配線 2 b をそれぞれ形成する。

【 0 0 3 8 】

第 1 の層間接続配線 2 a 及び第 3 の層間接続配線 2 b を形成後、第 1 の層間接続配線 2 a 及び第 3 の層間接続配線 2 b 並びに層間絶縁膜 1 0 上に金属膜を堆積及びパターニングすることにより、第 1 の層間接続配線 2 a に接続された第 1 の金属配線層 6 a、及び、第 3 の層間接続配線 2 b に接続された第 2 の金属配線層 6 b を形成する。

【 0 0 3 9 】

第 1 の金属配線層 6 a 及び第 2 の金属配線層 6 b を形成後、所定の厚さまで層間絶縁膜 1 0 を堆積し、層間絶縁膜 1 0 の上面を平坦化する。

【 0 0 4 0 】

層間絶縁膜 1 0 を堆積し平坦化した後、第 1 の金属配線層 6 a 及び第 2 の金属配線層 6 b 上の層間絶縁膜 1 0 にコンタクトホールを開口し、コンタクトホールが埋め込まれるように層間接続配線材料を堆積して、層間絶縁膜 1 0 上の不要な層間接続配線材料を除去することにより、第 1 の金属配線層 6 a 上に第 2 の層間接続配線 5 a を、第 2 の金属配線層 6 b 上に第 4 の層間接続配線 5 b をそれぞれ形成する。

【 0 0 4 1 】

第 2 の層間接続配線 5 a 及び第 4 の層間接続配線 5 b を形成後、第 2 の層間接続配線 5 a 及び第 4 の層間接続配線 5 b 並びに層間絶縁膜 1 0 上に金属膜を堆積及びパターンングすることにより、第 2 の層間接続配線 5 a に接続された電源電位電極パッド 1 a、及び、第 4 の層間接続配線 5 b に接続された接地電位電極パッド 1 b を形成する。

【 0 0 4 2 】

電源電位電極パッド 1 a 及び接地電位電極パッド 1 b を形成後、層間絶縁膜 1 0 を堆積し、電源電位電極パッド 1 a 及び接地電位電極パッド 1 b の上面が露出するように層間絶縁膜 1 0 の上面を平坦化することにより、電源電位電極パッド 1 a 及び接地電位電極パッド 1 b の上面と同じ高さまで層間絶縁膜 1 0 を形成する。

【 0 0 4 3 】

そして、電極パッド間の間隙部に形成された層間絶縁膜 1 0 上に、電極パッドと層間絶縁膜 1 0 との境界部を被覆するように保護膜 7 を形成すると、図 1 及び図 2 に示す本発明の第 1 の実施の形態に係る半導体集積回路装置が完成する。

【 0 0 4 4 】

本発明の第 1 の実施の形態に係る半導体集積回路装置及びその製造方法は、上記構成により、相互に隣接する電源電位電極パッド及び接地電位電極パッド間に、それぞれ少なくとも一層の層間接続配線を介して M I M 構造キャパシタをバイ

パスコンデンサとして接続しているので、破壊の危険性、製造工程及びコストの増加を非常に小さく抑制しながら、十分な容量を有するバイパスコンデンサによって電源ノイズを除去又は抑制することができ、従って、外部から混入する電源ノイズ及びLSI内部から発生する電源ノイズを電源入出力ノードにおいて遮断することができ、さらに、バイパスコンデンサを実装基板上から排除して実装面積及び容積を低減することができる。

【 0 0 4 5 】

図3は、本発明の第2の実施の形態に係る半導体集積回路装置の構成を示す断面図であり、図4は、本発明の第2の実施の形態に係る半導体集積回路装置の概略構成を示す平面図である。図3は、図4の平面図における線YY'に沿った断面図であるが、図4は、理解を容易にするため、主要な構成要素のみを示している。

【 0 0 4 6 】

本発明の第2の実施の形態に係る半導体集積回路装置は、一方側金属電極3bと、一方側金属電極3b上に形成された絶縁誘電体4と、絶縁誘電体4上に形成された他方側金属電極3aと、他方側金属電極3a上に形成された第1の層間接続配線2aと、半導体集積回路本体11の周縁部に環状に形成され且つ一部が第1の層間接続配線2a上に形成された環状接地電位電極配線8と、一方側金属電極3b上に形成された第2の層間接続配線2bと、半導体集積回路本体11の周縁部に環状に形成され且つ一部が第2の層間接続配線2b上に形成された環状電源電位電極配線9と、を備えている。

【 0 0 4 7 】

尚、金属電極、層間接続配線及び環状電極配線（電源リング）の間の間隙部には、層間絶縁膜10が形成されている。環状電源電位電極配線9には電源電位Vが供給されており、環状接地電位電極配線8は接地されている。

【 0 0 4 8 】

そして、一方側金属電極3b及び他方側金属電極3aと、それらの電極間に挟み込まれた絶縁誘電体4とによりMIM構造キャパシタが構成されている。

【 0 0 4 9 】

本発明の第 2 の実施の形態に係る半導体集積回路装置の構成は、要約すると、少なくとも一層の層間接続配線を介して環状電源電位電極配線 9 に接続された一方側金属電極 3 b と、少なくとも一層の層間接続配線を介して環状接地電位電極配線 8 に接続された他方側金属電極 3 a と、一方側金属電極 3 b 及び他方側金属電極 3 a 間に挟み込まれた絶縁誘電体 4 と、を備えているものである。

【 0 0 5 0 】

次に、本発明の第 2 の実施の形態に係る半導体集積回路装置の製造方法について説明する。尚、以下の説明では、本発明の第 2 の実施の形態に係る半導体集積回路装置のうち図 3 に表示されている部分のみについて、その製造方法を説明する。

【 0 0 5 1 】

層間絶縁膜 1 0 は、図示されている部分全体が一度に形成されるわけではなく、他の積層構造物に対応して段階的に積層され形成される。

【 0 0 5 2 】

先ず最初に、層間絶縁膜 1 0 上に金属膜を堆積及びパターニングすることにより一方側金属電極 3 b を形成する。

【 0 0 5 3 】

一方側金属電極 3 b を形成後、一方側金属電極 3 b 上に絶縁誘電材料を堆積及びパターニングすることにより、一方側金属電極 3 b 上の一部に絶縁誘電体 4 を形成する。

【 0 0 5 4 】

絶縁誘電体 4 を形成後、層間絶縁膜 1 0 を堆積し、絶縁誘電体 4 の上面が露出するように層間絶縁膜 1 0 の上面を平坦化することにより、絶縁誘電体 4 の上面と同じ高さまで層間絶縁膜 1 0 を形成する。

【 0 0 5 5 】

層間絶縁膜 1 0 を堆積し平坦化した後、絶縁誘電体 4 及び層間絶縁膜 1 0 上に金属膜を堆積及びパターニングすることにより、少なくとも絶縁誘電体 4 の上面を被覆するように他方側金属電極 3 a を形成する。

【 0 0 5 6 】

他方側金属電極 3 a を形成後、所定の厚さまで層間絶縁膜 1 0 を堆積し、層間絶縁膜 1 0 の上面を平坦化する。

【 0 0 5 7 】

層間絶縁膜 1 0 を堆積し平坦化した後、一方側金属電極 3 b 及び他方側金属電極 3 a 上の層間絶縁膜 1 0 にコンタクトホールを開口し、コンタクトホールが埋め込まれるように層間接続配線材料を堆積して、層間絶縁膜 1 0 上の不要な層間接続配線材料を除去することにより、他方側金属電極 3 a 上に第 1 の層間接続配線 2 a を、一方側金属電極 3 b 上に第 2 の層間接続配線 2 b をそれぞれ形成する。

【 0 0 5 8 】

第 1 の層間接続配線 2 a 及び第 2 の層間接続配線 2 b を形成後、第 1 の層間接続配線 2 a 及び第 2 の層間接続配線 2 b 並びに層間絶縁膜 1 0 上に金属膜を堆積及びパターニングすることにより、第 1 の層間接続配線 2 a に接続された環状接地電位電極配線 8、及び、第 2 の層間接続配線 2 b に接続された環状電源電位電極配線 9 を形成する。

【 0 0 5 9 】

環状接地電位電極配線 8 及び環状電源電位電極配線 9 を形成後、層間絶縁膜 1 0 を堆積し、環状接地電位電極配線 8 及び環状電源電位電極配線 9 の上面が露出するように層間絶縁膜 1 0 の上面を平坦化することにより、環状接地電位電極配線 8 及び環状電源電位電極配線 9 の上面と同じ高さまで層間絶縁膜 1 0 を形成すると、図 3 及び図 4 に示す本発明の第 2 の実施の形態に係る半導体集積回路装置が完成する。

【 0 0 6 0 】

本発明の第 2 の実施の形態に係る半導体集積回路装置及びその製造方法は、上記構成により、相互に隣接する環状電源電位電極配線及び環状接地電位電極配線、即ち、電源電位及び接地電位の電源リング間に、それぞれ少なくとも一層の層間接続配線を介して M I M 構造キャパシタをバイパスコンデンサとして接続しているため、破壊の危険性、製造工程及びコストの増加を非常に小さく抑制しながら、十分な容量を有するバイパスコンデンサによって電源ノイズを除去又は抑制

することができ、従って、外部から混入する電源ノイズ及びLSI内部から発生する電源ノイズを電源入出力ノードにおいて遮断することができ、さらに、バイパスコンデンサを実装基板上から排除して実装面積及び容積を低減することができる。

【0061】

以上、説明したように、本発明の各実施の形態に係る半導体集積回路装置及びその製造方法は、少なくとも一層の層間接続配線を介して電源電位電極配線又は接地電位電極配線に接続された一方側金属電極と、少なくとも一層の層間接続配線を介して接地電位電極配線又は電源電位電極配線に接続された他方側金属電極と、一方側金属電極及び他方側金属電極間に挟み込まれた絶縁誘電体とを形成しているので、即ち、電源電位電極配線と接地電位電極配線との間に、それぞれ少なくとも一層の層間接続配線を介して接続されたMIM構造キャパシタを形成しているので、上述のような効果を得ることができる。

【0062】

電源電位電極配線又は接地電位電極配線と一方側金属電極又は他方側金属電極とは、少なくとも一層の層間接続配線を介して接続されているが、二層以上の層間接続配線及び少なくとも一層の金属配線層を介して接続されていてもよい。

【0063】

【発明の効果】

本発明の実施の一形態に係る半導体集積回路装置及びその製造方法によれば、電源電位電極配線と接地電位電極配線との間に、それぞれ少なくとも一層の層間接続配線を介して接続されたMIM構造キャパシタを形成しているので、破壊の危険性、製造工程及びコストの増加を非常に小さく抑制しながら、十分な容量を有するバイパスコンデンサによって電源ノイズを除去又は抑制することができ、従って、外部から混入する電源ノイズ及びLSI内部から発生する電源ノイズを電源入出力ノードにおいて遮断することができ、さらに、バイパスコンデンサを実装基板上から排除して実装面積及び容積を低減することができる。

【図面の簡単な説明】

【図1】

本発明の第 1 の実施の形態に係る半導体集積回路装置の構成を示す断面図である。

【図 2】

本発明の第 1 の実施の形態に係る半導体集積回路装置の概略構成を示す平面図である。

【図 3】

本発明の第 2 の実施の形態に係る半導体集積回路装置の構成を示す断面図である。

【図 4】

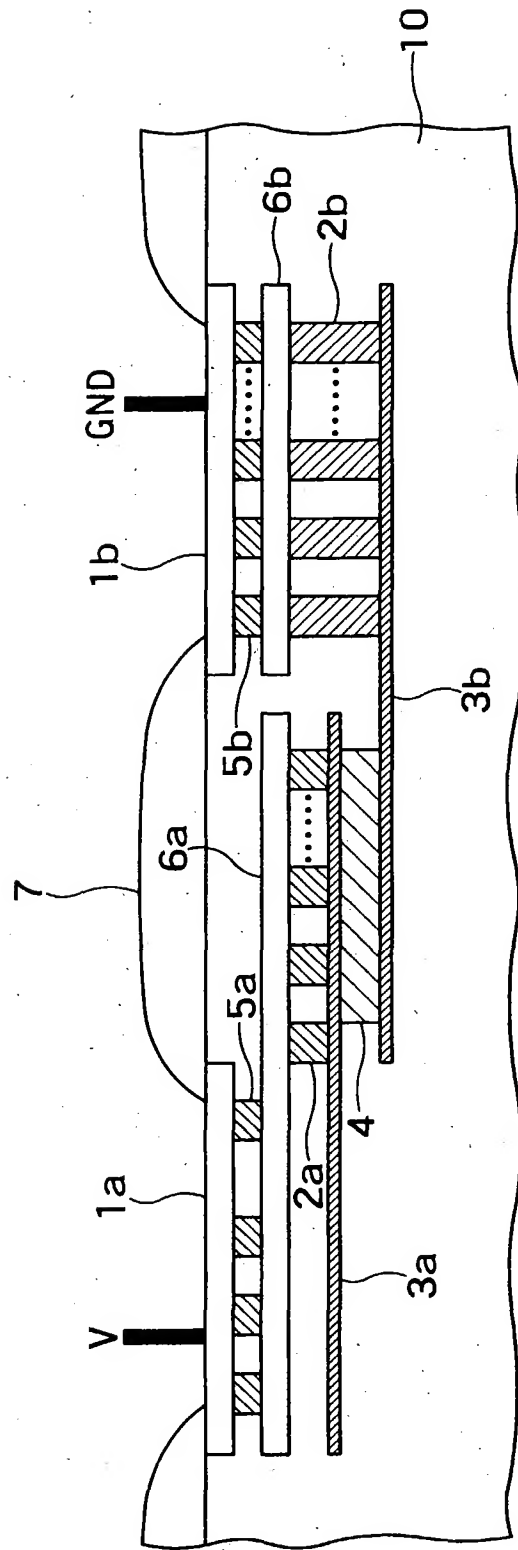
本発明の第 2 の実施の形態に係る半導体集積回路装置の概略構成を示す平面図である。

【符号の説明】

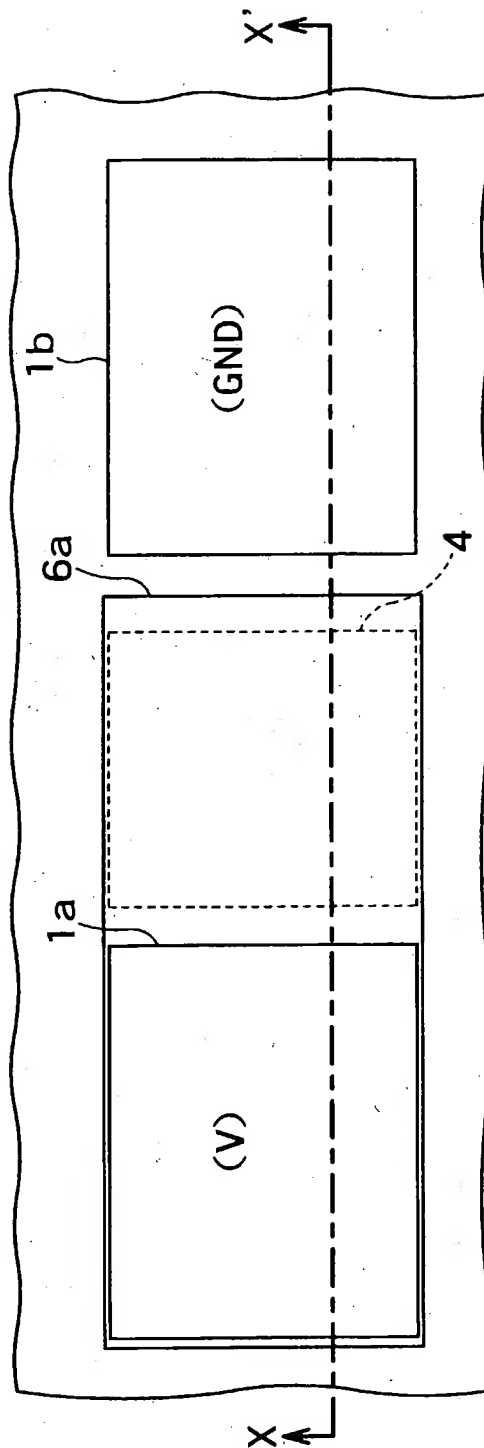
- 1 a 電源電位電極パッド
- 1 b 接地電位電極パッド
- 2 a, 2 b, 5 a, 5 b 層間接続配線
- 3 a, 3 b MIM構造キャパシタの金属電極
- 4 MIM構造キャパシタの絶縁誘電体
- 6 a, 6 b 金属配線層
- 8 環状接地電位電極配線（接地電位電源リング）
- 9 環状電源電位電極配線（電源電位電源リング）
- 1 1 半導体集積回路本体

【書類名】 図面

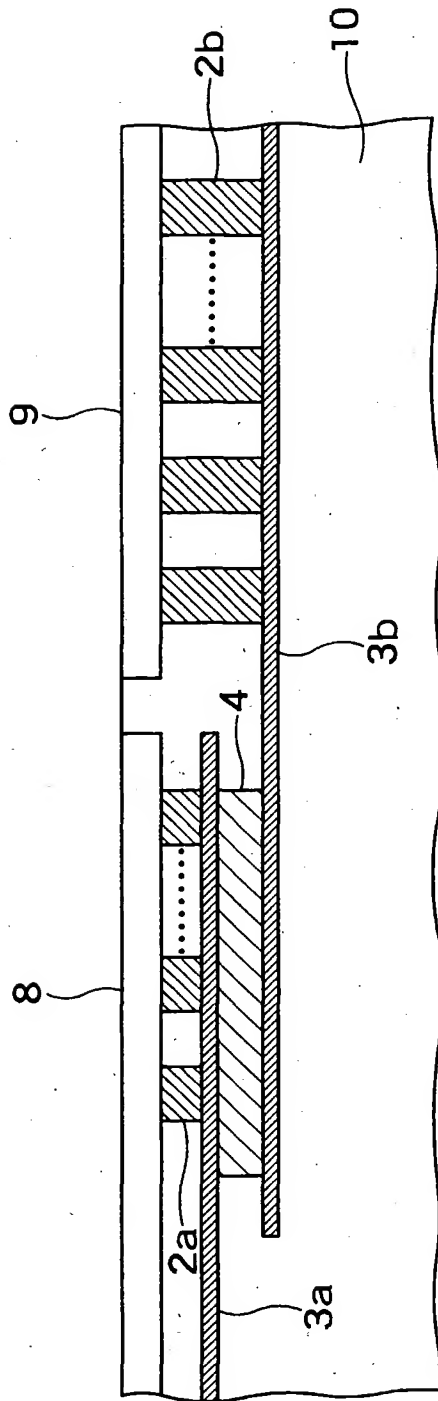
【図 1】



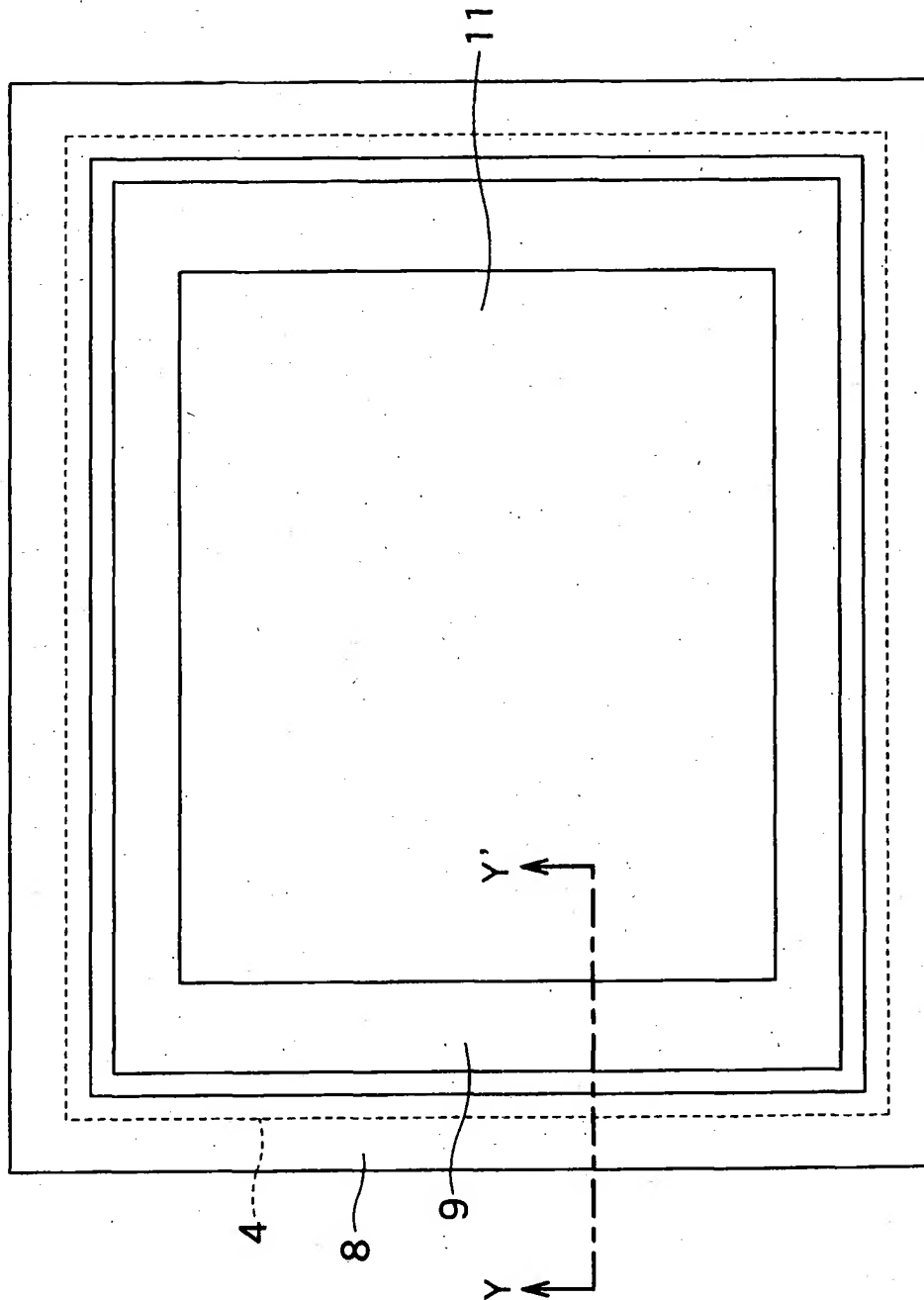
【図 2】



【図3】



【図4】



【書類名】 要約書

【要約】

【課題】 十分な容量を得ることができ、破壊の危険性が非常に小さく、製造工程及びコストの増加も非常に小さい構造のバイパスコンデンサを備えた半導体集積回路装置及びその製造方法を提供する。

【解決手段】 本発明の実施の一形態に係る半導体集積回路装置は、電源電位電極配線と接地電位電極配線との間に、それぞれ少なくとも一層の層間接続配線を介して接続されたMIM構造キャパシタを備えているものである。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝

出 願 人 履 歴 情 報

識別番号 [000221199]

1. 変更年月日 1990年 8月23日

[変更理由] 新規登録

住 所 神奈川県川崎市川崎区駅前本町25番地1

氏 名 東芝マイクロエレクトロニクス株式会社